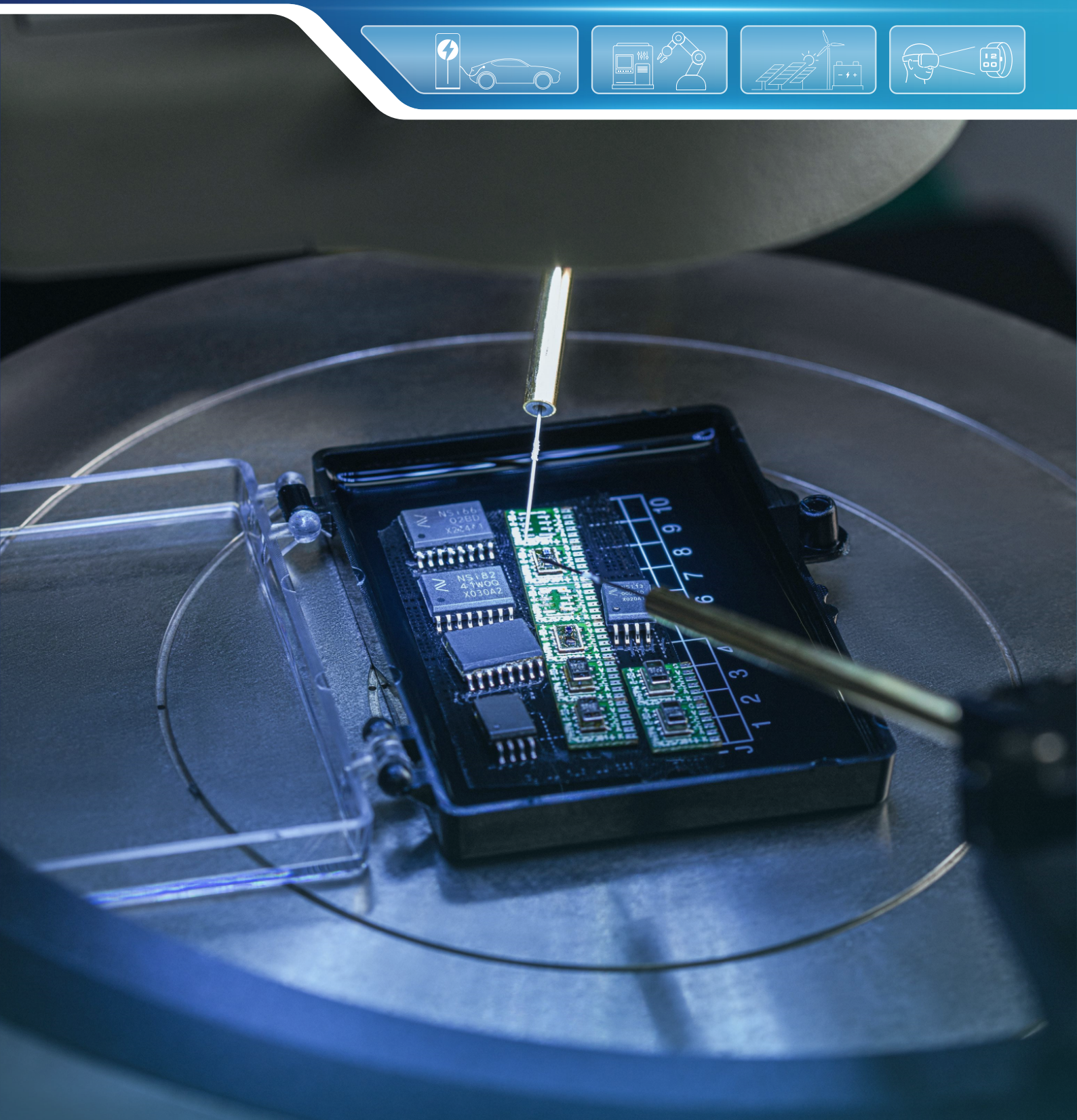


芯片级ESD与系统级ESD 测试标准介绍和差异分析

AN-13-0009

作者：Shuo Zhang, Runsheng Zhou, Minqi Zhao



芯片级ESD与系统级ESD 测试标准介绍和差异分析

摘 要

随着芯片工艺尺寸持续缩小，静电放电（ESD）问题对芯片可靠性构成严峻挑战。本文介绍了芯片级ESD（HBM、CDM、MM）和系统级ESD（IEC61000-4-2）的测试标准、测试方法和测试等级，并对比分析了芯片级ESD和系统级ESD之间的差异。随后，介绍了隔离系统中常用的ESD防护设计方法和测试注意事项。

目 录

1. 静电放电简介	2
2. 芯片级ESD测试	2
2.1.简介	2
2.1.人体模型（HBM）	3
2.2.机器模型（MM）	5
2.3.充电器件模型（CDM）	6
3. 系统级ESD测试	7
4. 芯片级ESD与系统级ESD差异	8
5. 系统级ESD防护	9
6. 修订历史	11

芯片级ESD与系统级ESD 测试标准介绍和差异分析

1. 静电放电简介

ESD（Electrostatic Discharge，静电放电）指两种带有相反极性的电荷中和的过程，可以通过直接接触或者静电场来实现。随着集成电路的广泛应用以及芯片工艺尺寸的不断降低，芯片ESD问题已经成为影响芯片可靠性的严重问题。为提高芯片可靠性，现有的芯片内部通常会集成ESD保护电路，电子器件的ESD测试也开始作为电磁兼容性测试的一项重要内容写入国家标准和国际标准中。

由于ESD事件可能会发生在芯片的整个生命周期中，现有的ESD测试标准相应地分为芯片级ESD和系统级ESD。如图1.1所示，芯片级ESD测试主要关注芯片在晶圆切割、封装、出厂前测试、运输等过程中的抗静电性能，系统级ESD测试则表征芯片在用户系统实际应用中面临复杂静电环境的抗扰度。由于测试方法、芯片工作环境和测试环境的差异，芯片级ESD和系统级ESD测试的标准电压等级之间通常不具备直接关联性和可比性。本文介绍了芯片级ESD和系统级ESD的测试标准，并探讨了其间的主要差异。



图1.1 芯片生命周期中的芯片级ESD和系统级ESD

2. 芯片级ESD测试

2.1. 简介

芯片级ESD测试旨在为芯片制造、封装、运输及焊接等过程中芯片所表现的抗ESD能力提供统一的测试评判标准，根据静电的产生方式以及对电路损伤模式的不同，芯片级ESD主要分为三种模型：HBM（Human Body Model，人体模型）、CDM（Charged Device Model，充电器件模型）和MM（Machine Model，机器模型），通常情况下，业界主要使用HBM和CDM模型来对出厂前的芯片进行测试。

芯片级ESD与系统级ESD 测试标准介绍和差异分析

2.1.人体模型 (HBM)

HBM模型模拟人体因摩擦或其他原因附上一定量的静电荷，当人体与 IC 芯片的引脚发生接触时，静电荷由人体经 IC 引脚流入地的过程。国际广泛使用的标准是JEDEC JS-001和AEC-Q100-002。在以上标准中，带电人体由 100pF 电容器和 1500Ω放电电阻进行建模，如图2.1所示。

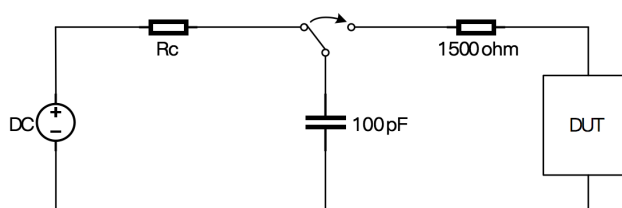


图2.1 HBM模型电路原理图

由于 ESD 现象的发生具有偶然性，导致集成电路芯片上的任意两个引脚之间均可能发生 HBM 现象，所以评估芯片的抗 ESD 能力需要对任意两个引脚之间的所有组合进行测试。芯片的 HBM 测试通常对各 I/O、VDD、VSS 引脚（在隔离类芯片中，I/O对应原/副边输入、输出和使能引脚，VDD 对应原/副边供电引脚，VSS对应原/副边GND引脚）采用如下组合进行：

(1) IO引脚对VDD和VSS放电测试

- (a) PS 模式：VSS 为参考地，在 I/O 引脚上施加正向 ESD 脉冲，其余引脚浮空；
- (b) NS 模式：VSS 为参考地，在 I/O 引脚上施加负向 ESD 脉冲，其余引脚浮空；
- (c) PD 模式：VDD 为参考地，在 I/O 引脚上施加正向 ESD 脉冲，其余引脚浮空；
- (d) ND 模式：VDD 为参考地，在 I/O 引脚上施加负向 ESD 脉冲，其余引脚浮空。

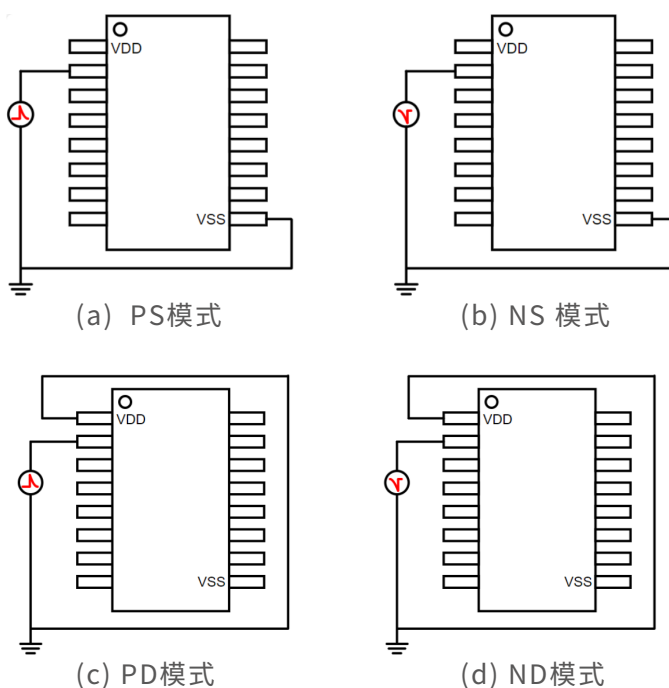


图2.2 IO对VDD/VSS引脚组合

芯片级ESD与系统级ESD 测试标准介绍和差异分析

(2) IO引脚对IO引脚放电测试

VDD 和 VSS 引脚浮空，在待测 I/O 引脚上施加正向和负向 ESD 脉冲，其余 I/O 引脚短接为参考地。

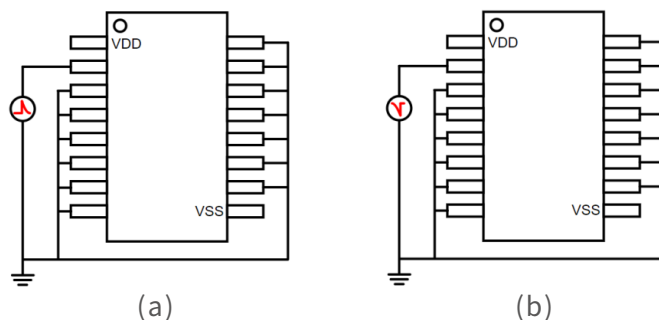


图2.3 IO对IO引脚组合

(3) VDD和VSS之间放电测试

VSS 为参考地，在 VDD 上施加正向和负向 ESD 脉冲，其余 I/O 引脚悬空。

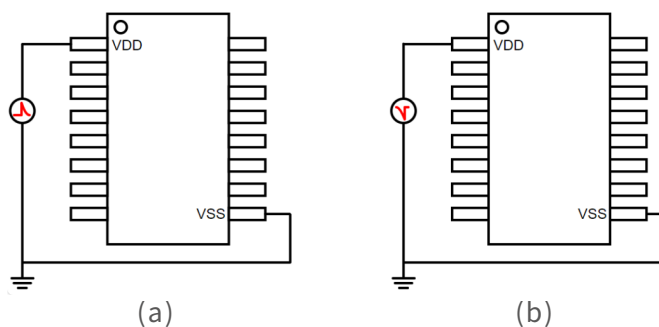


图2.4 VDD对VSS引脚组合

对于多电源域的芯片，在不同电源域内的 VDD 和 VSS 之间、I/O 引脚之间也需要完成相应的测试组合。

在每一测试组合下，芯片测试引脚在同一 ESD 电压下施加3次，每次的时间间隔为一秒钟，随后再判断该测试脚是否已被 ESD 所损坏，通常是通过测量被测引脚的 IV curve 并与标准的 IV curve 进行对比，若出现超过30%的偏移则判定为失效。若芯片未失效则继续调升 ESD电压，重复以上测试步骤。HBM测试电压的调整等级如下表所示，使芯片失效的ESD测试电压称为静电放电故障临界电压。对于芯片失效的判定方法，将会在后续的应用笔记中详细探讨。

芯片级ESD与系统级ESD 测试标准介绍和差异分析

等级	电压范围 (V)	等级	电压范围 (V)
Class 0Z	0~50	Class 1C	1000~2000
Class 0A	50~125	Class 2	2000~4000
Class 0B	125~250	Class 3A	4000~8000
Class 1A	250~500	Class 3B	≥8000
Class 1B	500~1000	/	/

表2.1 JEDEC JS-001标准下HBM电压等级表

2.2. 机器模型 (MM)

机器模型也称为0- Ω 模型，用来模拟导体带静电后对器件产生的作用。国际广泛使用的标准是JESD22-A115-A、AEC-Q100-003和IEC 61340-3-2S等。IC制造主要通过控制机械手来完成，当机械手中的静电荷接触到IC管脚并与地形成电流通路时，就会发生瞬间ESD现象。由于自动化金属机械具有较小的 R_{on} 和较大的寄生电容，在形成ESD过程中产生的静电脉冲响应时间更短，MM与HBM的主要区别是取消了1500 的电阻，并把电容值增至200pF，如图2.5所示。

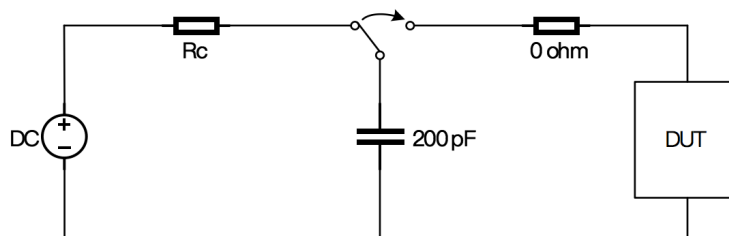


图2.5 MM模型电路原理图

根据ESD应力大小划分为不同的MM静电防护等级，如表2-2所示。

等级	电压范围 (V)	等级	电压范围 (V)
M0	0~50	M3	200~400
M1	50~100	M4	400~800
M2	100~200	M5	>800

表2.2 IEC 61340-3-2S标准下MM电压等级表

MM与HBM有着相同的故障机制，然而，MM测试具有更大的可变性，其对测试仪器中的寄生效应更为敏感，试验可重复性更低；同时，MM在验证金属对金属的ESD方面也不如CDM表现稳定。因此，随着IC制造厂对机械手静电释放管控越来越规范，针对MM模型的设计要求也逐渐弱化，业界普遍以HBM和CDM测试来表征IC的芯片级ESD能力。

芯片级ESD与系统级ESD 测试标准介绍和差异分析

2.3.充电器件模型 (CDM)

CDM 用于模拟IC充电/放电所引起的 ESD 事件，它是指芯片内部积累的静电发生泄放导致的ESD现象，与HBM的静电发生原理有较大区别。国际广泛使用的标准是JEDEC JS-002和AEC-Q100-011。CDM 的等效电路如下图所示，虚线框内为被测芯片（DUT）等效寄生电路， R_{CDM} 为测试限流电阻，由于芯片内寄生电阻、电感和电容变化较大，且对芯片种类和环境因素敏感，通常不进行参数量化。

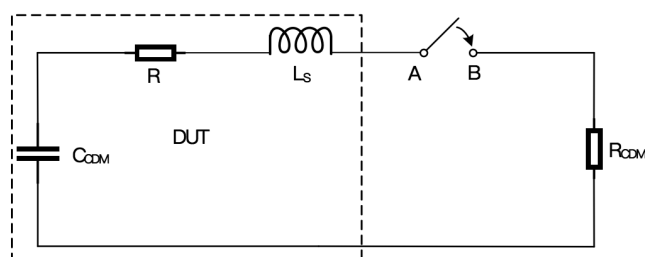


图2.6 CDM模型电路原理图

CDM 测试的每一个引脚都需要进行至少一次的正负极放电测试，测试前将芯片的 VSS 引脚连接电源对其进行充电，充电电压的极性同样包含正电压和负电压。限流电阻 $R (>10M\Omega)$ 用于避免充电电压过高而直接对 IC 芯片造成损坏。充电完成后断开充电电源，再让 IC 的其他引脚（包括 I/O 及 VDD）分别接地放电进行 CDM 测试，同时保持其他未放电引脚浮空。

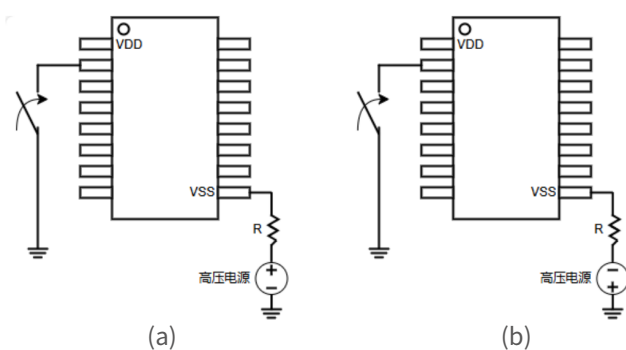


图2.7 CDM测试原理图

CDM测试的失效判定方法与HBM相同，应从最低电压等级开始测试，在完成一个电压等级的测试后调升电压，CDM测试电压的调整等级如下表所示。

等级	电压范围 (V)	等级	电压范围 (V)
Class C0a	0~125	Class C2a	500~750
Class C0b	125~250	Class C2b	750~1000
Class C1	250~500	Class C3	≥1000

表2.3 JEDEC JS-002标准下CDM电压等级表

芯片级ESD与系统级ESD 测试标准介绍和差异分析

3.系统级ESD测试

包括HBM和CDM在内的芯片级ESD测试能够在最大限度上减少芯片在制造、封装、运输及焊接过程中发生的ESD事件，但并不能准确地模拟芯片在终端用户的使用场景。系统级ESD测试专注于模拟真实应用场景下的ESD冲击，国际上广为遵循的标准是IEC 61000-4-2。值得注意的是，IEC 61000-4-2是应用于系统抗扰度测试的通用标准，被测物体是已经设计完成的完整产品，由PCB板、各类芯片以及其他功能组件构成，通过PCB走线实现各类芯片之间的互联，并由ESD放电路径中的所有芯片共同承受ESD冲击。因此，使用IEC61000-4-2对单个芯片进行测试不能等效表征芯片在系统中的真实抗ESD能力。

IEC61000-4-2中规定的ESD放电电路如下图所示，使用150pF电容器模拟系统所处的静电环境，通过330Ω电阻向DUT放电。

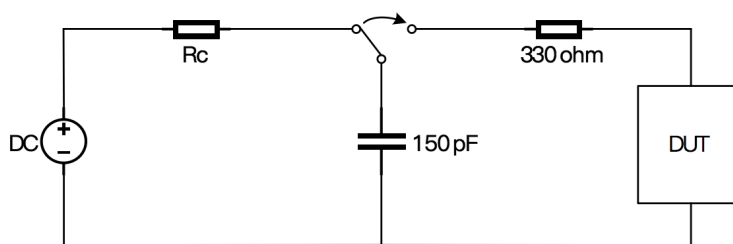


图3.1 IEC61000-4-2模型电路原理图

IEC61000-4-2 规定了接触放电和空气放电两种测试模式，分别对应接触等级和空气间隙等级。在某一测试模式下，均需对DUT进行正负极性至少10次的测试，每两次施加放电间的间隔为1秒。测试时应从较低电压等级开始测试，在完成一个电压等级的测试后调升电压，其测试电压调整等级如下表所示。

接触放电模式		空气放电模式	
等级	测试电压 (KV)	等级	测试电压 (KV)
1	2	1	2
2	4	2	4
3	6	3	6
4	8	4	8
Special(1)	/	Special(1)	/
(1) 开放等级，该等级可以高于或低于标准等级，该等级必须在专用设备的规范中以规定，如果规定了高于表格中的电压，则可能需要专用的实验设备。			

表3.1 IEC61000-4-2标准下系统级ESD电压等级表

芯片级ESD与系统级ESD 测试标准介绍和差异分析

4. 芯片级ESD与系统级ESD差异

芯片级ESD测试和系统级ESD测试共同体现了芯片在整个生命周期中的抗ESD性能，但这两种参数的测试对象不同，对应的测试标准也不同。芯片级ESD测试以独立芯片作为DUT，用于评估芯片本身的抗ESD能力。而系统级ESD则是以完整产品作为DUT，用于评估整套产品对外界ESD的抗干扰能力。因此，芯片内部集成的ESD保护电路存在不足以承受同等级的系统级ESD直接冲击的可能，这也是使用系统级ESD对芯片直接进行测试更容易失效的原因。

在测试方法上，芯片级ESD是在固定夹具上测试，芯片处于不上电状态。而系统级ESD的测试则是将芯片焊接在PCB上，测试过程中芯片可能处于上电状态，测试引脚组合也会因系统电路连接差异而不同。此外，标准规定的HBM测试要求正负极性各3次的脉冲电压测试，而IEC 61000-4-2要求至少正负极性各10次的脉冲电流测试，电荷的持续累积也会加速芯片损伤。

在放电脉冲波形参数上，芯片级ESD和系统级ESD相比较，脉冲电压范围、脉冲上升时间、脉冲电压冲击次数等参数均有明显的差异，如下表所示：

静电脉冲参数	HBM	CDM	MM	IEC61000-4-2
电压范围 (V)	0至 ≥ 8000	0至 ≥ 1000	0至 ≥ 800	2000至15000
峰值电流 (A)	1.3	5	3	30
上升时间 (ns)	25	<1	5	<1
冲击次数	2	2	2	20

表4.1 芯片级ESD与系统级ESD特性参数对比表

在放电脉冲波形上可以更加直观地看到两种测试模式的差异，如下图所示。

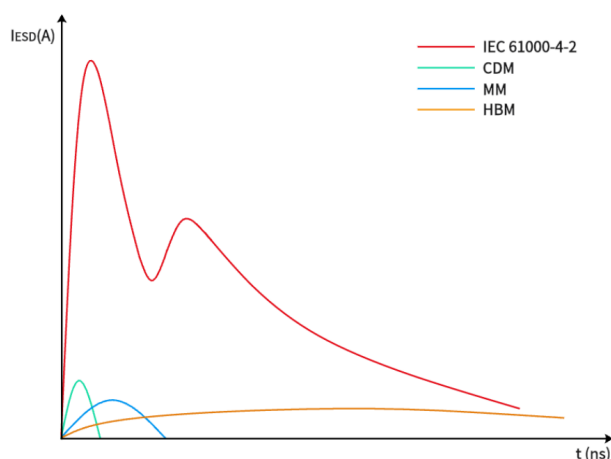


图4.1 芯片级ESD和系统级ESD放电脉冲波形示意图

可以看出，一方面，基于IEC61000-4-2标准的ESD能量远高于HBM和CDM，以8kV接触放电为例，系统级ESD脉冲电流峰值为30A，而HBM为1.3A，CDM为5A，系统级ESD相比于芯片级ESD对芯片内部的保护器件增加了6倍的电应力需求。另一方面，系统级ESD脉冲上升时间在0.7ns~1ns之间，而HBM的脉冲时间一般需要25ns，系统级ESD对芯片内部保护电路的响应时间提出了更加严格的要求，这就使得主要以HBM模型设计的保护电路无法及时响应，从而使芯片功能电路直接被损坏。

(2) 隔离类芯片（如隔离器、隔离电源等）：接口端的ESD冲击会在隔离栅原副边之间形成较大的电压差，因此需重点提升其双边ESD性能，即针对隔离栅原副边耦合（PE和Isolation GND）的防护能力。



芯片级ESD与系统级ESD 测试标准介绍和差异分析

对于单边ESD防护，常见的防护方法有添加TVS、外围电阻或磁珠等。其中，外围电阻和磁珠会对数据传输有一定影响，而TVS具有低电容特性，是高速数据传输中的首选保护器件。当电路正常工作时，TVS处于截止状态(高阻态)，不影响正常工作。当电路瞬态电压突变到TVS击穿电压时，TVS会迅速变为低阻态，将瞬态过电流泄放到地，同时将异常电压箝位在较低水平，从而保护后级电路免遭异常过压的损坏。

对于双边ESD防护，由于TVS导通，会使得ESD脉冲的开路电压体现在副边的Isolation GND上，从而在隔离栅原副边产生高压应力。承受此高压应力的器件是隔离栅原副边等效寄生电容 C_{ISO} ，其由隔离器栅电容、PCB引脚间电容、PCB原副边寄生电容共同组成。在原副边并联安规电容（Y电容）可以增加 C_{ISO} 值，滤除高压窄脉冲，从而有效提升双边ESD能力。

除此以外，在系统级ESD测试过程中，应尽量避免任何可能的空气放电现象，如预防焊盘之间放电、器件三防漆放电、直插器件引脚尖端放电、PCB 原副边铺地铜尖端放电、壳体耦合放电等，从而保证注入ESD脉冲的丰富度，提高ESD试验的可复现性。

芯片级ESD与系统级ESD 测试标准介绍和差异分析

4.修订历史

版本	描述	作者	日期
1.0	创建应用笔记	Shuo Zhang, Runsheng Zhou, Minqi Zhao	2025/2/16

销售联系方式: sales@novosns.com; 获取更多信息: www.novosns.com

重要声明

本文件中提供的信息不作为任何明示或暗示的担保或授权,包括但不限于对信息准确性、完整性,产品适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的陈述或保证。

客户应对其使用纳芯微的产品和应用自行负责,并确保应用的安全性。客户认可并同意: 尽管任何应用的相关信息或支持仍可能由纳芯微提供,但将在产品及其产品应用中遵守纳芯微产品相关的所有法律、法规和相关要求。

本文件中提供的资源仅供经过技术培训的开发人员使用。纳芯微保留对所提供的产品和服务进行更正、修改、增强、改进或其他更改的权利。纳芯微仅授权客户将此资源用于开发所设计的整合了纳芯微产品的相关应用,不视为纳芯微以明示或暗示的方式授予任何知识产权许可。严禁为任何其他用途使用此资源,或对此资源进行未经授权的复制或展示。如因使用此资源而产生任何索赔、损害、成本、损失和债务等,纳芯微对此不承担任何责任。

有关应用、产品、技术的进一步信息,请与纳芯微电子联系(www.novosns.com)。

苏州纳芯微电子股份有限公司版权所有