

高速窗口型隔离比较器 NSI22C12应用指南

AN-13-0016

作者：徐佳华，刘雅竹，陈文琪



摘 要

在工业控制电机驱动系统中，小型化的需求使功率半导体器件的开关频率不断提升，这对故障检测的时效性、可靠性和抗扰能力提出了越来越高的要求，故障检测需要在复杂工业环境（恶劣温湿度环境、机械过载和电网波动等）保证可靠性，在故障发生后快速保护，防止异常工况损坏电机驱动电路，同时避免误保护影响工业设备运行效率。

新能源汽车系统对于故障检测的可靠性要求更高，电池管理系统（BMS）、电机驱动控制、车载充电机（OBC）、DC-DC转换器等都需要准确、快速的过压过流检测能力，同时检测电路具有优越的隔离性能，保证系统和人身安全。

纳芯微推出的NSI22C1X系列隔离比较器产品能够为工业驱动和新能源汽车系统提供合适的故障检测解决方案，帮助客户实现安全可靠的系统控制。本篇应用笔记比较分析多种隔离式采样和保护方案，对隔离比较器NSI22C1X的应用进行介绍。

目 录

1. 隔离比较器典型应用场景和电路	2
1.1.隔离比较器在工控系统中的应用	2
1.2.隔离比较器在车载充电机中的应用	3
2. 多种隔离式电流采样和保护方案对比	3
2.1.隔离式采样方案加软件/硬件保护	3
2.2.硬件分立保护方案	5
2.3.隔离比较器保护方案	6
3. NSI22C1x过流保护的阈值设置	6
4. 保护信号锁存功能	9
4.1.软件锁存方案	9
4.2.硬件锁存方案	9
4.3.硬件锁存、软件复位方案	11
5. PCB布局建议	13
6. 修订历史	14

高速窗口型隔离比较器 NSI22C12应用指南

1. 隔离比较器典型应用场景和电路

1.1. 隔离比较器在工控系统中的应用

在工业控制电机驱动系统中，窗口型隔离比较器NSI22C12可以搭配分流电阻实现母线负上的过流保护和相电流过流保护，单向过压隔离比较器NSI22C11可以搭配分压电阻网络实现母线过压保护，具体如图1.1所示。NSI22C1x系列产品集成了高压侧供电LDO，芯片高压侧VDD1供电可支持范围3.1V~27V，下桥臂门极驱动电源可以复用，作为母线过流过压隔离比较器高压侧的供电电源；相电流过流保护的隔离比较器，高压侧可以复用该相上桥臂的门极驱动电源供电。

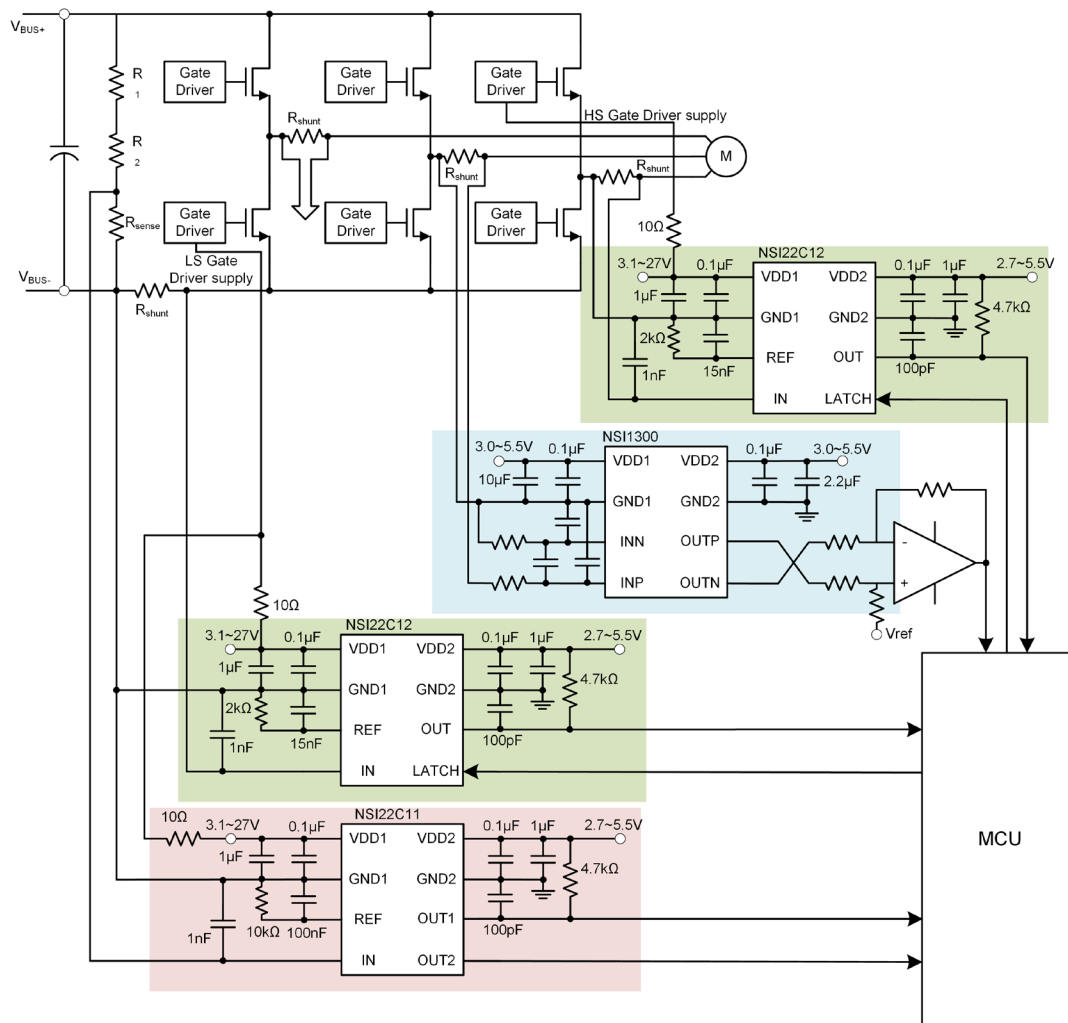


图 1.1 NSI22C1X在交流电机驱动中的典型应用电路

高速窗口型隔离比较器 NSI22C12应用指南

1.2. 隔离比较器在车载充电机中的应用

新能源汽车系统中有较多过压过流故障检测的需求。以车载充电机为例，图1.2给出了NSI22C1X在OBC系统中的典型应用。主流车载充电机方案由PFC整流电路和CLLC谐振变换器两级功率电路构成。PFC输入过流保护（A1）、桥臂直通过流保护（A2）、谐振腔过流保护（A3）、高压母线输出过流保护（A4）和CLLC输入过流保护（A5）可以采用NSI22C12隔离比较器方案。PFC母线过压保护（V1）和高压电池母线过压保护（V2）可以采用NSI22C11隔离比较器方案。

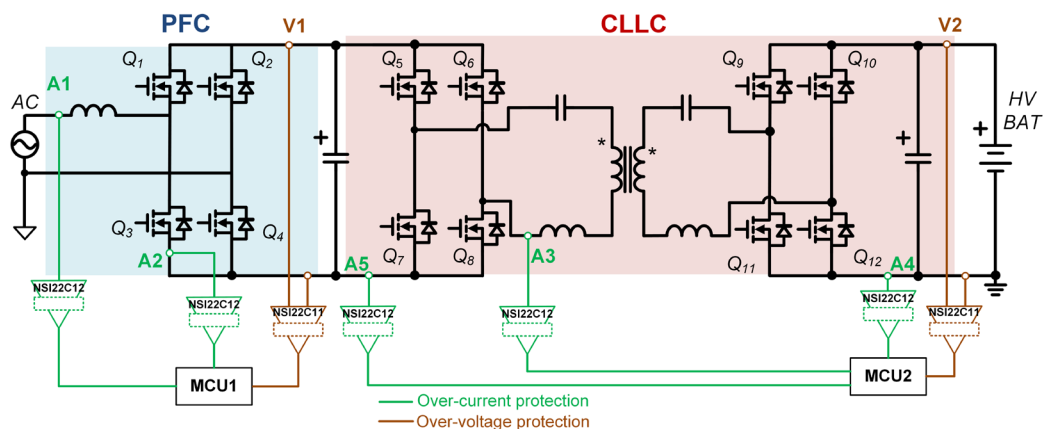


图 1.2 NSI22C1X在OBC系统中的典型应用电路

2. 多种隔离式电流采样和保护方案对比

当前工业控制和新能源汽车系统常用的隔离式过流保护方案主要有：隔离式采样方案加MCU内部软件保护，隔离式采样方案加比较器硬件保护，硬件分立保护方案，隔离比较器方案。

2.1. 隔离式采样方案加软件/硬件保护

在隔离式采样方案的基础上加入软件保护或者低压侧硬件保护的方案，适用于系统该位置本来就需要电流采样来监测和控制的场景，这样整体方案的成本和板面积比较有优势，整体方案的优劣势参考表2.1隔离式电流采样方案的优劣势对比。此外，此种方案的保护延时因为包含了隔离式电流采样本身的采样延时，一般较长，很难做到纳秒级，且如果应用中只需要做过流保护不需要精确的电流值采集，此种方案性价比也相对较低。

高速窗口型隔离比较器

NSI22C12应用指南

其中隔离式电流采样主要有：电流互感器（CT），霍尔电流传感器（如NSM2015等），分流电阻加隔离采样芯片（如NSI1300、NSI1400等）。

电流互感器是基于电磁感应原理通过互感器初次级绕组的电流转换实现电流采样的方案，用互感器实现隔离功能，示意图如2.1。由于直流饱和问题，电流互感器只能用来采样交流电流。快速响应的电流保护需求对后级调理运放的压摆率有一定要求。

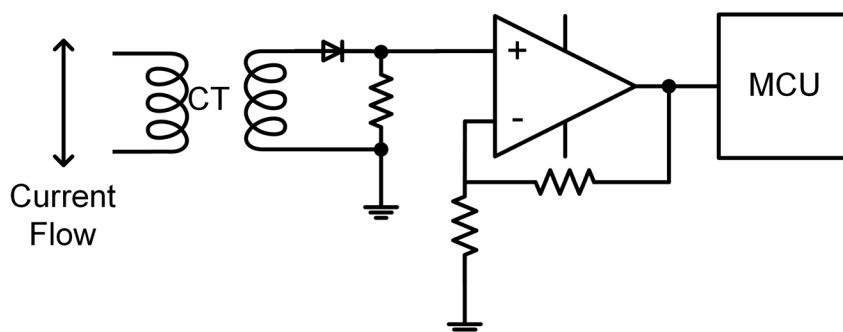


图 2.1 电流互感器示意图

霍尔电流传感器是基于霍尔效应通过感应流过导体的电流所产生的磁场变化，并将其转化为等比例电压信号的采样方案，这种非接触的采样方案具有良好的电气隔离性能，供电方案简单，无需高压侧隔离电源。精度方面，霍尔电流传感器有不可忽略的初始失调电压，容易受到外部磁场的影响，和隔离采样芯片相比，它的非线性度、温漂和噪声也偏大。霍尔电流传感器示意图如下。

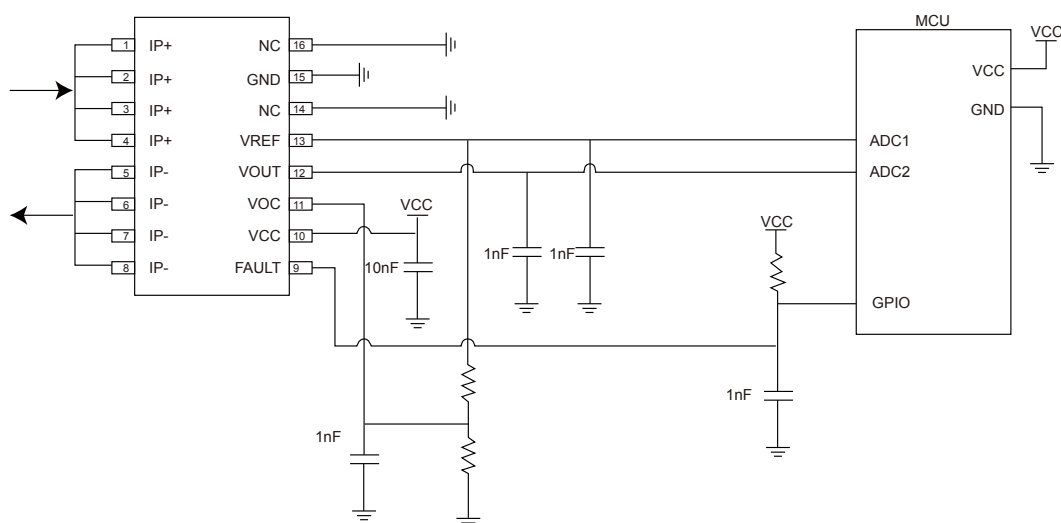


图 2.1 霍尔电流传感器示意图（详情参阅NSM2015规格书）

隔离采样芯片采用 Σ - Δ 调制和电容隔离技术，配合分流电阻的使用，组成集成化隔离电流采样解决方案，参考图1.1中NSI1300的应用电路。隔离采样芯片采样精度高，全温度范围内稳定性好，抗共模干扰能力强。随着采样电阻技术的进步，采样电阻的阻值更小，精度和温漂性能不断改善，采样电阻上的压降和功耗也越来越小，可以支持更大的电流采样。此外，隔离采样芯片高压侧需要一路隔离电源供电，供电方案相比前两个方案复杂一些。

各隔离式电流采样方案全面的优劣势对比如下表。

表 2.1 隔离式电流采样方案优劣势对比

	电流互感器（CT）	霍尔电流传感器	隔离采样芯片
优势	低成本 低功率耗散 无需供电电源	集成电流路径 无需高压侧隔离电源 解决方案尺寸较小	高精度 高抗扰能力 解决方案尺寸较小
劣势	只能采样交流电流 占板面积较大	误差和噪声偏大 抗强磁场干扰性能较差	中功率耗散 需要高压侧隔离电源

2.2.硬件分立保护方案

硬件分立保护方案是目前较为成熟的方案，应用广泛，包含分流电阻、调理运放、比较器、光耦，如图2.3。这个方案器件多，占板面积大，整体可靠性较低。用于母线正端或者相电流检测时对调理运放共模抑制要求高。如果有快速保护需求，需搭配高速光耦，成本较高。

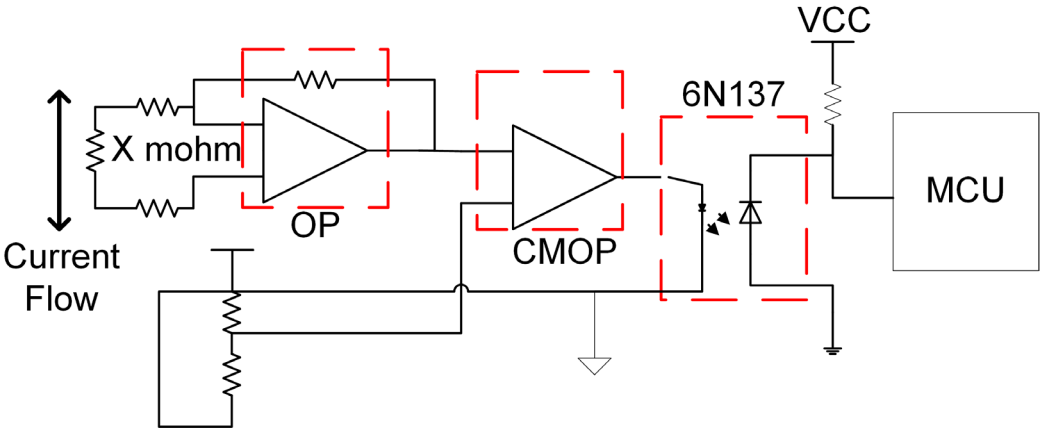


图 2.3 硬件分立保护方案

高速窗口型隔离比较器 NSI22C12应用指南

2.3. 隔离比较器保护方案

隔离比较器是高集成度的过流保护方案，相比传统保护方案，具有明显的优势：低延时（ $<1\mu\text{s}$ ）、占板面积小、保护精度高、抗共模干扰能力强。隔离比较器的高压侧需要隔离电源供电，当高压侧电压域没有可以复用的供电时，需要为隔离比较器配置单独的隔离电源。隔离比较器过流保护方案参考图1.1，以工业电机驱动系统为例，在做母线电流或相电流过流保护方案时，NSI22C12外围电路设计相对简单，这依赖于NSI22C12的高集成度：

- 窗口比较器有效应对交流相电流保护场景
- 高压侧集成高压LDO，支持3.1V~27V供电电压范围，可以与系统中隔离驱动共用高压侧隔离供电，帮助客户省去额外的LDO或稳压管，节省成本的同时进一步的缩小了方案面积
- 集成高精度电流源，通过单颗电阻实现过流保护阈值设置，灵活方便

3. NSI22C1x过流保护的阈值设置

NSI22C1x REF 引脚的电压 V_{REF} 决定了隔离比较器过流保护的参考阈值，NSI22C12 的窗口阈值范围为 $\pm 20\text{mV}$ 至 $\pm 320\text{mV}$ 。设置 V_{REF} 有两种方法：1) 建议在 REF 引脚与 GND1 之间连接一个外部电阻， $100\mu\text{A}$ 的内部电流源流经该外部电阻，从而产生高精度的参考电压；2) REF 引脚可由外部电压源驱动，以设置内部参考阈值。比如，设置 200mV 的保护参考阈值电压，依据 $200\text{mV}/100\mu\text{A}=2\text{k}\Omega$ ，通过在REF引脚与 GND1 之间连接一个 $2\text{k}\Omega$ 的外部电阻就可以产生 200mV 的 V_{REF} 阈值电压。请勿在推荐范围之外驱动 REF 引脚，以免产生意外输出。在 REF 引脚与 GND1 之间放置一个 15nF 的外部电容，可以对 REF 引脚的电压进行滤波。

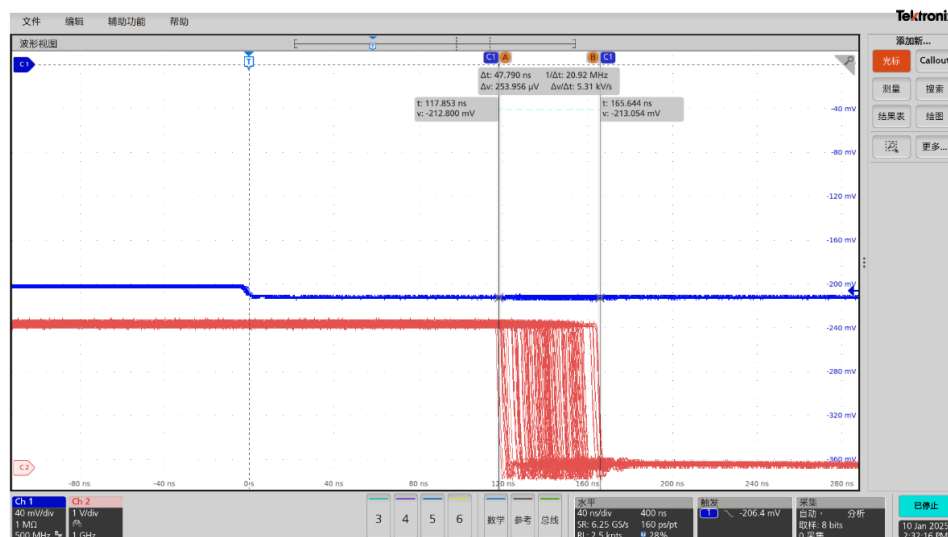
图3.1、图3.2给出了NSI22C12触发保护实测波形，可以看到 10mV 阶跃幅度下（ $V_{od}=10\text{mV}$ ），比较器保护延时典型值约为 150ns ，能实现快速精准的过流保护响应。

高速窗口型隔离比较器 NSI22C12应用指南



CH1: IN 25mV/div, CH2: OUT 2V/div, 示波器余晖模式

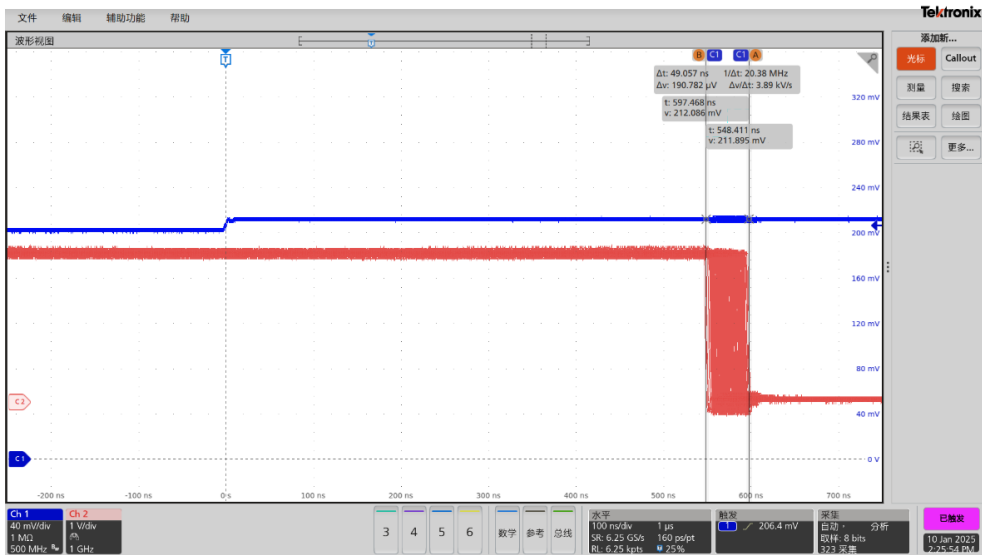
图 3.1 NSI22C12正向触发保护波形 (VREF=200mV, VIN从200mV跳变至210mV)



CH1: IN 40mV/div, CH2: OUT 1V/div, 示波器余晖模式

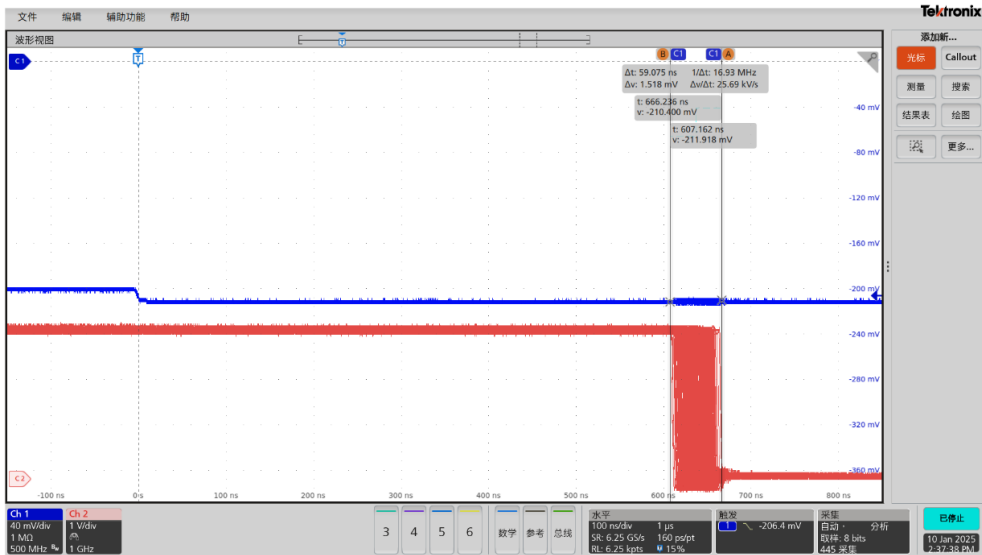
图 3.2 NSI22C12负向触发保护波形 (VREF=200mV, VIN从-200mV跳变至-210mV)

在噪声较大的系统中，NSI22C12灵敏的保护响应性能可能会触发误保护。为此我们推出了NSI22C13，延长内部的去毛刺时间（degitch time）来增强抗扰能力，图3.3、图3.4给出了NSI22C13触发保护实测波形，可以看到10mV阶跃幅度下（Vod=10mV），比较器保护延时典型值约为600ns，依旧保持了<1μs的保护延时。



CH1: IN 40mV/div, CH2: OUT 1V/div, 示波器余晖模式

图 3.3 NSI22C13正向触发保护波形 (VREF=200mV, VIN从200mV跳变至210mV)



CH1: IN 40mV/div, CH2: OUT 1V/div, 示波器余晖模式

图 3.4 NSI22C13负向触发保护波形 (VREF=200mV, VIN从-200mV跳变至-210mV)

高速窗口型隔离比较器 NSI22C12应用指南

4. 保护信号锁存功能

4.1. 软件锁存方案

NSI22C12是一款具有开漏输出的窗口比较器，比较窗口以0V为中心。对于正比较器，当输入电压高于正触发阈值电压（ $V_{IT+} = V_{REF} + V_{HYS}$ ）时输出下拉，当输入电压低于 V_{REF} 时输出释放。对于负比较器，当输入电压低于负触发阈值电压（ $V_{IT-} = -V_{REF} - V_{HYS}$ ）时，输出下拉，当输入电压高于 $-V_{REF}$ 时，输出释放。迟滞电压 V_{HYS} （典型值为3.5mV）使比较器在噪声环境下具有较好的抗扰性，无需额外添加正反馈电路产生迟滞。此外，NSI22C12提供可选的输出保护信号锁存功能。当Latch引脚设置为逻辑低电平或悬空时，输出遵循输入电压和参考电压的比较。当Latch引脚设置在逻辑高电平时，输出被锁存，并且无论输入电压变化如何都保持当前电平。保护功能和锁存功能逻辑电平图如图3.1所示。

在NSI22C12应用中，通常由MCU提供一路锁存使能逻辑信号送到芯片LATCH脚。比较器未保护状态下，LATCH脚给逻辑低电平，比较器触发保护后，MCU给LATCH脚逻辑高电平，实现保护信号的锁存。

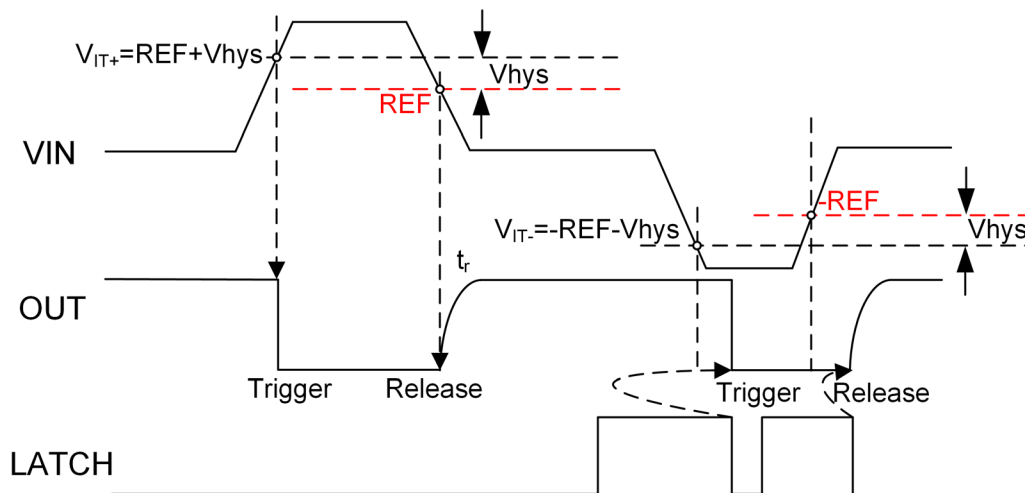


图 4.1 NSI22C12的保护特性和锁存功能

4.2. 硬件锁存方案

如果客户系统MCU没有多余的IO逻辑控制信号用来锁存，可以在外围电路增加一个PNP逻辑三极管（实验室用SBC856BWT1G测试）实现NSI22C12输出仅锁存保护信号的功能。NSI22C12硬件锁存电路如图4.2。

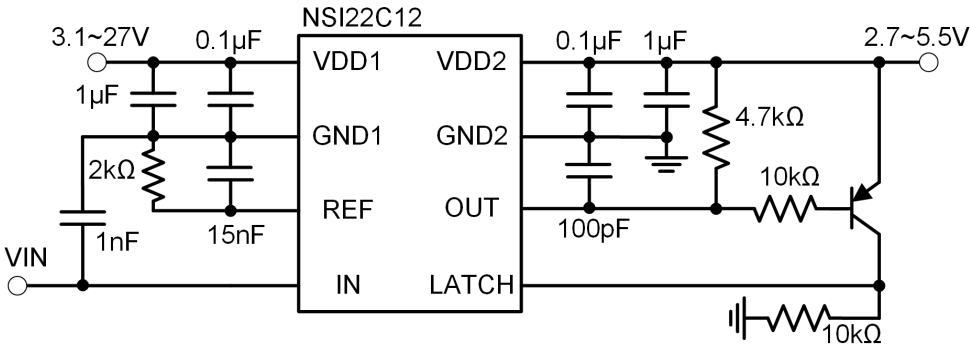


图 4.2 NSI22C12硬件锁存电路

实验室选用三极管SBC856BWT1G（安森美）进行测试，图3.3为NSI22C12硬件锁存保护信号的波形。基准电压REF=200mV下，输入电压VIN从0V阶跃到320mV后，触发保护，输出OUT脚被拉低，同时三极管导通，将LATCH脚拉高，锁存保护信号。之后VIN降回0V，过压信号消失，输出OUT脚还是被锁存在保护状态。

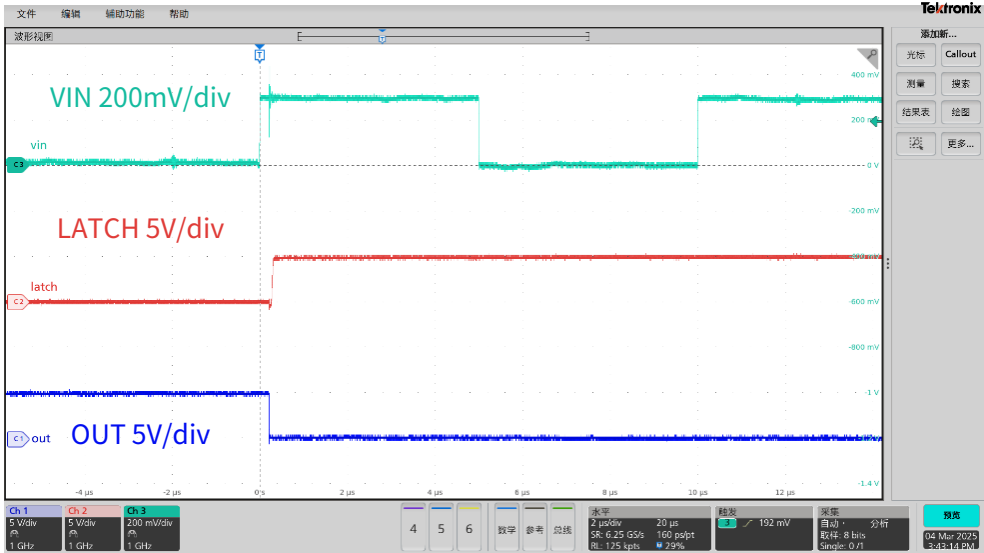


图 4.3 NSI22C12硬件锁存波形（REF=200mV）

硬件锁存方案适用于以下两种应用场景：1）系统MCU无多余IO逻辑控制信号来锁存；2）锁存时效性要求较高，软件处理时间较长不满足时效性要求。

高速窗口型隔离比较器 NSI22C12应用指南

4.3. 硬件锁存、软件复位方案

如果系统应用中既需要硬件锁存的高时效性，又需要软件复位的灵活性，即MCU 需要控制LATCH 并在触发保护快速锁存后重置NSI22C12恢复至初始检测状态，此时可以参考下方设计。

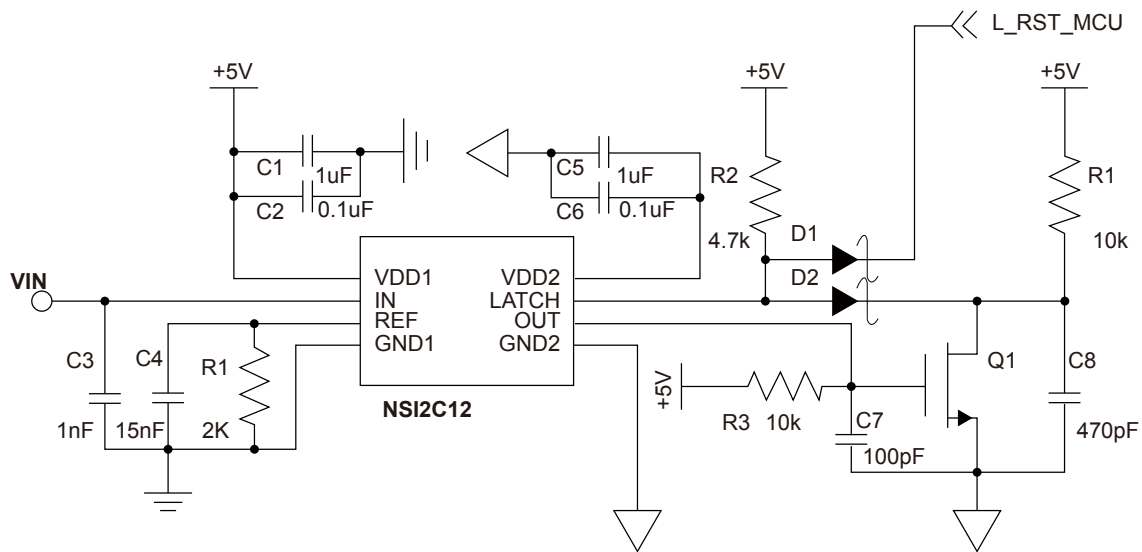


图 4.4 NSI22C12硬件锁存（带软件复位）应用电路

NSI22C12 正常上电未触发保护时OUT 脚上拉为高电平，此时LATCH被MOS管箝位在低电位，芯片处于非锁存状态可以正常执行保护检测。此时，MCU控制的LATCH锁存讯号L_RST_MCU也需要拉至高电平，以允许硬件锁存电路触发。该应用电路上电波形如图4.5。

当原边输入侧VIN高于基准电压200mV时触发保护状态，OUT输出被下拉到低电平，与此同时外部硬件将LATCH上拉至高电平并锁存OUT保护信号，触发保护并锁存的波形如图4.6。

当NSI22C12处于保护锁存状态且输入电压VIN低于基准电压200mV时，MCU侧可以通过发送持续一段时间的L_RST_MCU低电平信号，将LATCH信号拉低重置，NSI22C12 恢复至初始检测状态，软件复位波形如图4.7。

高速窗口型隔离比较器 NSI22C12应用指南

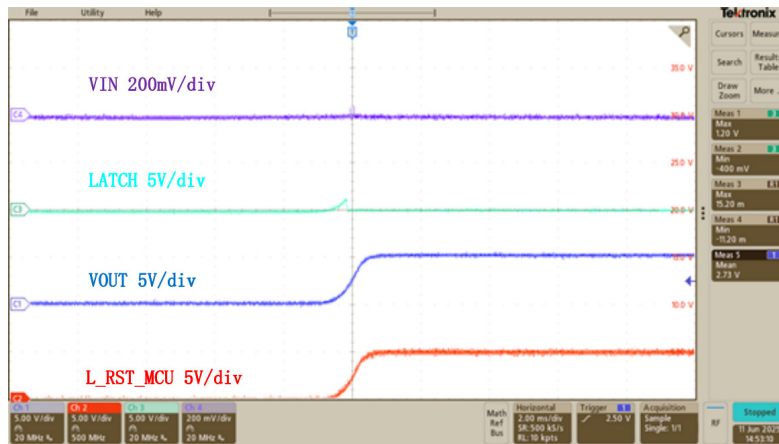


图 4.5 NSI22C12硬件锁存（带软件复位）应用电路上电波形

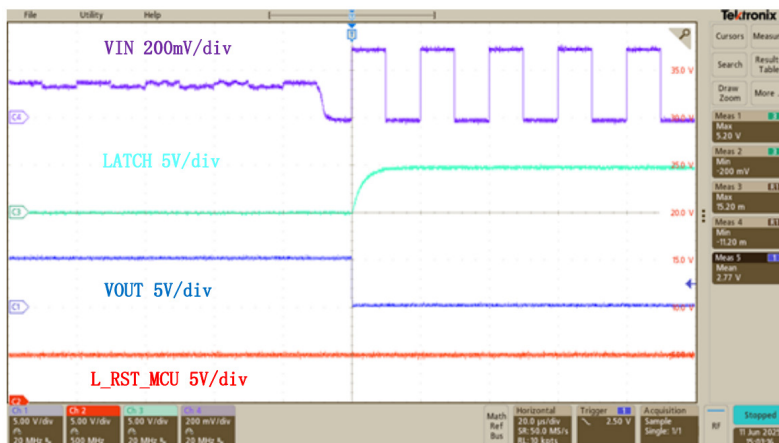


图 4.6 NSI22C12硬件锁存（带软件复位）应用电路保护锁存波形

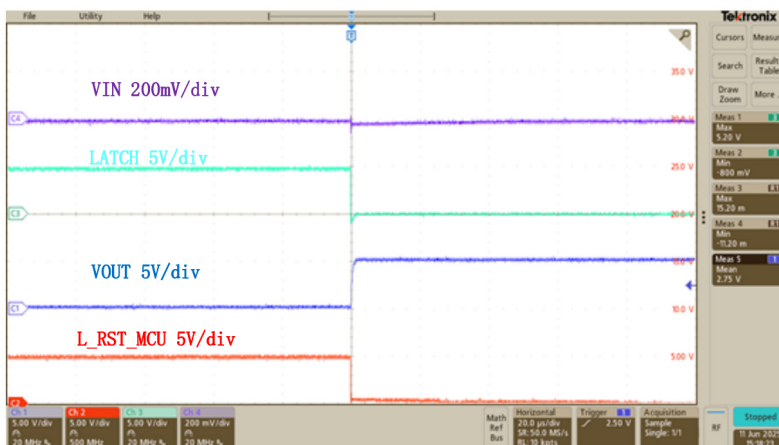


图 4.7 NSI22C12硬件锁存（带软件复位）应用电路软件复位波形

高速窗口型隔离比较器 NSI22C12应用指南

5.PCB布局建议

本节提供了NSI22C12 PCB布板的一些建议：

- NSI22C12 需要在 VDD1 与 GND1、VDD2 与 GND2 之间各接一个 0.1 μ F 的旁路电容。电容应尽可能靠近 VDD 引脚。若需要更好的滤波效果，可额外使用一个 1~10 μ F 的电容。
- 建议在分流电阻与 NSI22C12 的连接中采用开尔文接法，IN脚和GND1脚的采样信号各自单独从分流电阻处拉到芯片附近走线，不要和功率地回路共用路径，以避免输入信号线上电压降对输入电压产生影响，同时也可以最大程度上避免输入信号被干扰。
- 将分流电阻靠近IN引脚放置，并保持输入电压和采样GND1的布局对称，且二者紧密并行连接至 NSI22C12 的输入端。这能最大限度减小连接的回路面积，降低杂散磁场干扰测量信号的可能性。
- 为获得稳定的基准电压，应将外部基准电阻及其滤波电容尽可能靠近 REF 引脚放置。

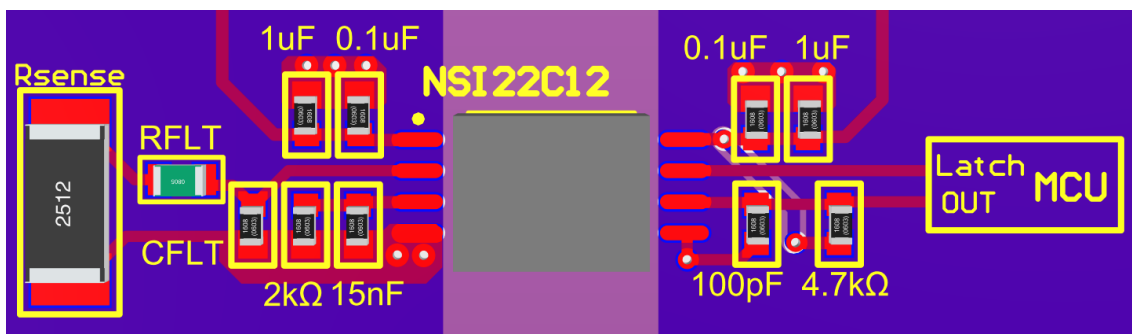


图 5.1 NSI22C12 的 PCB 布局示例

6.修订历史

版本	描述	作者	日期
1.0	初始版本	徐佳华，刘雅竹，陈文琪	2025/11/28

销售联系方式：sales@novosns.com; 获取更多信息：www.novosns.com

重 要 声 明

本文件中提供的信息不作为任何明示或暗示的担保或授权，包括但不限于对信息准确性、完整性，产品适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的陈述或保证。

客户应对其使用纳芯微的产品和应用自行负责，并确保应用的安全性。客户认可并同意：尽管任何应用的相关信息或支持仍可能由纳芯微提供，但将在产品及其产品应用中遵守纳芯微产品相关的所有法律、法规和相关要求。

本文件中提供的资源仅供经过技术培训的开发人员使用。纳芯微保留对所提供的产品和服务进行更正、修改、增强、改进或其他更改的权利。纳芯微仅授权客户将此资源用于开发所设计的整合了纳芯微产品的相关应用，不视为纳芯微以明示或暗示的方式授予任何知识产权许可。严禁为任何其他用途使用此资源，或对此资源进行未经授权的复制或展示。如因使用此资源而产生任何索赔、损害、成本、损失和债务等，纳芯微对此不承担任何责任。

有关应用、产品、技术的进一步信息，请与纳芯微电子联系（www.novosns.com）。

苏州纳芯微电子股份有限公司版权所有